



**GMM**

VDE/VDI-GESELLSCHAFT  
MIKROELEKTRONIK, MIKROSYSTEM-  
UND FEINWERKTECHNIK



**ITG**

INFORMATIONSTECHNISCHE  
GESELLSCHAFT IM VDE



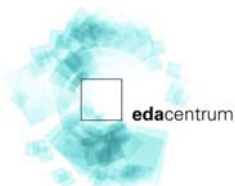
PROGRAMM

## **Zuverlässigkeit und Entwurf**

5. GMM/GI/ITG-Fachtagung

27. - 29. September 2011  
Hotel Panorama,  
Hamburg-Harburg

[www.ZuE2011.com](http://www.ZuE2011.com)



**VDE**

## **Vorwort**

Die Fachtagung „Zuverlässigkeit und Entwurf“ (ZUE) wird von der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) der GI/GMM/ITG 2011 in Hamburg-Harburg durchgeführt. Sicherheit und Robustheit mikroelektronischer Schaltungen und Systeme bilden dieses Jahr den besonderen Schwerpunkt der Fachtagung. Sicherheitskritische Anwendungen finden sich nicht mehr nur in der Luft- und Raumfahrt und in eng umgrenzten Bereichen wie etwa der Verkehrstechnik, sondern zunehmend in Massenanwendungen des alltäglichen Lebens. Beispielsweise stellen Elektromobilität, Autonomie und direkte Interaktion mit der Umwelt in „Cyber Physical Systems“ ausserordentlich hohe Anforderungen an die Sicherheit sowie deren Verifizierung und Zertifizierung. Standards wie ISO 26262 haben entscheidenden Einfluss auf den Entwurfs- und Herstellungsprozess mikroelektronischer Systeme. Die Sicherstellung der Robustheit solcher Systeme gegen innere und äußere Störungen betrifft den gesamten Lebenszyklus von der Ausbeuteverbesserung während der Fertigung über den Test nach der Produktion und im Betrieb bis hin zur Implementierung von Fehlertoleranzmaßnahmen.

Effektive und effiziente Lösungen können nicht mehr erzielt werden, in dem man einzelne Entwurfsebenen getrennt betrachtet, sondern verlangen die Umsetzung eines sogenannten „Cross Layer“ Ansatzes, der Ebenen übergreifend entwickelt werden muss. Aus diesem Grund haben sich die unterschiedlichen Fachgruppen des RSS zusammengetan, um die Entwicklung integrierter Lösungsansätze zu unterstützen. Ausbeute und Diagnosefähigkeit von mikro- und nanoelektronischen Systemen sollen durch Fehlertoleranz, integrierte Reparaturmechanismen und Diagnosehilfsmittel gewährleistet werden. Ihre Qualität ist durch entsprechende Entwurfs-, Verifikations- und Testverfahren über alle Systemebenen hinweg, von der Halbleiterbauelementeebene über die Steuergeräte bis zum gesamten System sicher zu stellen. Diese Themen werden im vorliegenden Programm intensiv behandelt. Tutorials von ausgewiesenen nationalen und internationalen Experten, eingeladene Vorträge aus der Industrie und Berichte aus aktuellen Forschungsarbeiten bilden insgesamt ein hochkarätiges Programm, zu dem wir Sie sehr gerne vom 27.09. bis 29.09.2011 in Hamburg begrüßen würden.

Sebastian Sattler, Universität Erlangen-Nürnberg  
Tagungsleiter

Hans-Joachim Wunderlich, Universität Stuttgart  
Vorsitzender des Programmkomitees

## Inhaltsverzeichnis

Veranstalter .....	4
Informationen zur Tagung .....	4
Tagungsleiter .....	4
Organisationskomitee.....	4
Programmkomitee .....	5
Eingeladene Vorträge.....	6
Embedded Tutorials .....	11
Sponsoren .....	13
Programm zur Tagung .....	14
Mittwoch 28.09.2011 .....	14
Donnerstag, 29.09.2011 .....	17
Allgemeine Hinweise .....	20
Tagungsorganisation .....	20
Anmeldung .....	20
Teilnahmegebühren .....	20
Bezahlung der Teilnahmegebühr.....	21
Stornierung.....	21
Zimmerreservierungen .....	21
Registrierung.....	21
Tagungsbüro .....	22
Tagungsort .....	22
Telefonische Erreichbarkeit .....	22
Anfahrt .....	22
Parkmöglichkeiten.....	23
Abendveranstaltung .....	23
Sponsoren.....	24

## Veranstalter

QID Qualitäts-Initiative Deutschland e.V., in Zusammenarbeit mit der Gesellschaft für Informatik (GI), der Mikro- und Feinwerktechnik (GMM), der Informationstechnischen Gesellschaft (ITG) und VDI/VDE Innovation und Technik GmbH, Berlin

## Informationen zur Tagung

QID Qualitäts-Initiative Deutschland e.V.,  
Fuchsfeldstr. 1, 91058 Erlangen

Lehrstuhl für Zuverlässige Schaltungen und Systeme,  
Friedrich-Alexander-Universität (FAU) Erlangen  
Paul-Gordan-Str. 5, 91052 Erlangen  
☎ +49 (0)9131-85-23100 📠 +49 (0)9131-85-23111  
E-Mail: [sattler@lzs.eei.uni-erlangen.de](mailto:sattler@lzs.eei.uni-erlangen.de)  
URL: <http://www.lzs.eei.uni-erlangen.de>

## Tagungsleiter

### Vorsitzender des Programmkomitees

Sebastian Sattler, Universität Erlangen-Nürnberg  
(Tagungsleiter)

Hans-Joachim Wunderlich, Universität Stuttgart  
(Vorsitzender des Programmkomitees)

## Organisationskomitee

Jürgen Alt	Intel Mobile Communications GmbH
Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Manfred Dietrich	FhG-IIS / EAS, Dresden
Rolf Drechsler	Universität Bremen
Peter Federer	GI
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt
Sybill Hellebrand	Universität Paderborn
Andreas Herkersdorf	TU München
Jürgen Kampe	FH Jena
Volker Schanz	VDE/ITG
Ulf Schlichtmann	TU München
Jürgen Schlöffel	Mentor Graphics, Hamburg
Ronald Schnabel	VDE/VDI-GMM
Norbert Wehn	Universität Kaiserslautern

## Programmkomitee

U. Abelein	AUDI AG
W. Anheier	Universität Bremen
M. Brandstetter	Robert Bosch GmbH
R. Brück	Universität Siegen
K. Buchenrieder	Universität der BW, München
F. Dietz	Telefunken Semic. GmbH Co KG
S. Eichenberger	NXP Semiconductors
R. Ernst	TU Braunschweig
G. Fey	Universität Bremen
M. Fischer	Verigy Germany GmbH
G. Georgakos	Infineon Technologies AG
H. Gräb	TU München
C. Grimm	TU Wien
Th. Harriehausen	FH Braunschweig/Wolfenbüttel
T. Hötzel	Atmel Automotive GmbH
J. Kelber	Fachhochschule Schmalkalden
W. Kunz	TU Kaiserslautern
J. Lienig	TU Dresden
B. Michel	Fraunhofer ENAS, Chemnitz
K. Müller-Glaser	Universität Karlsruhe
W. Nebel	OFFIS e.V., Oldenburg
R. Pferdenges	Infineon Technologies AG
M. Pfof	Hochschule Reutlingen
F. Pöhl	Intel Mobile Communications GmbH
I. Polian	Universität Passau
M. Porrmann	Heinz-Nixdorf-Institut, Paderborn
M. Radetzki	Universität Stuttgart
M. Reuter	Mentor Graphics Deutschland Gm
J. Rivoir	Verigy Germany GmbH
J. Scheible	Hochschule Reutlingen
U. Schlichtmann	TU München
K. Schneider	Universität Kaiserslautern
V. Schöber	edacentrum GmbH Hannover
F. Schenkel	MunEDA GmbH
Ch. Sebeke	Robert Bosch GmbH
R. Sommer	IMMS gGmbH
A. Steininger	TU Wien
J. Teich	Universität Erlangen-Nürnberg
R. Vahrman	Atmel Automotive GmbH
H. Vierhaus	BTU Cottbus
R. Wagner	Robert Bosch GmbH
B. Wittig	Volkswagen AG

## **Zuverlässigkeit und Entwurf**

### **Eingeladene Vorträge**

**28.09.2011 09:00-09:45**

#### **The Exascale Challenge**

*S. Borkar (Intel Corporation, USA)*

Compute performance increased by orders of magnitude in the last few decades, made possible by continued technology scaling. The technology treadmill will continue and one would expect to reach Exascale level performance in about 10 years. However, it's the same Physics that helped you in the past will now pose some barriers-"Business as usual" will not be an option. This talk will discuss potential solutions in all disciplines, such as circuit design, test, architecture, system design, programming system, and resiliency to pave the road towards Exascale performance.

**28.09.2011 10:00-10:45**

#### **Dependable Computing and Assessment of Dependability**

*J. Arlat (LAAS-CNRS, Frankreich)*

This talk will cover the main design and evaluation issues that are to be considered when developing dependable computer systems. In the first part we will briefly address the fault tolerance techniques (encompassing error detection, error recovery and fault masking) that can be used to cope with accidental faults (physical disturbances, software bugs, etc.) and to some extent, malicious faults (e.g., attacks, intrusions). The second part will cover the methods and techniques

- both analytical and experimental - that can be used to objectively assess the level of dependability achieved. The trend of controlled experiments, from simple fault injection-based tests meant for evaluating specific fault-tolerant computer architecture towards the development of benchmarks aimed at comparing the dependability features of several computer systems, will also be illustrated by means of selected examples.

**28.09.2011 13:30-14:15**

### **Quality of Test – Fault Models and Test Methods**

*J. Rajski (Mentor Graphics Corporation, USA)*

The actual quality of manufacturing test is a result of the required product quality expected by the market that can be achieved in a given semiconductor technology with the currently available test methods at acceptable costs. As the quality requirements and semiconductor technology change, the test methods have to change accordingly. This paper discusses how recent as well as the soon expected to appear characteristics of semiconductors will change defect profiles and what changes are expected to happen in test methodology. The devices manufactured in the 30, 20 and 10 nm technologies will potentially be very large by today's standards, they will also have new characteristics implied by things like process variability. The semiconductor industry has adopted cumulatively more and more sophisticated fault models that use timing as well as layout information. What other fault models will be required to provide a robust measure of quality of test? The presentation will review some of the most promising extensions in that area, including new emerging fault models and adaptive test techniques. Structural DFT was introduced to provide automation in test pattern generation and fault simulation. Test compression was invented, on top of scan, to reduce the cost of manufacturing test. What other technologies will be needed to address the issue of growing design sizes, increased process variability, and new defect mechanisms? What is the impact of 3D IC technology on test methods. The presentation will examine hybrid techniques that use test compression and logic BIST to achieve manufacturing test objectives as well as system reliability.

**28.09.2011 16:00-16:45**

**Fault Injection-Based Assessment of Software Techniques for Hardware Fault Tolerance**

*J. Karlsson (Chalmers University of Technology, Göteborg, Sweden)*

In this talk, I will present results from a series of fault injection experiments conducted to assess the effectiveness of software-based mechanisms for detecting and tolerating errors caused by transistor faults. Technology and voltage scaling are making integrated circuits increasingly vulnerable to transistor aging, process variations and ionizing particles. This has forced chip manufacturers to provide microprocessors and other integrated circuits with sophisticated mechanisms for error detection and fault-tolerance. However, since it is economically infeasible for a chip manufacturer to guarantee detection of all possible transistors faults, I believe that software-based error detection and fault tolerance techniques will play an increasingly important role in protecting future computer systems against the expected increase in hardware error rates. My presentation will cover different approaches for implementing time redundancy, control flow checking and run-time assertions in software. I will discuss how these techniques can be implemented at the machine code level, and at source code level using aspect-oriented programming. We have evaluated the error coverage for such implementations with respect to single bit-flip errors in CPU registers and main memory locations. I will show how the error coverage varies for the different implementations. For mechanisms implemented by aspect-oriented programming, I will show how compiler optimization affects error coverage. I will also discuss the validity of using single-bit errors for assessing the error coverage of software-based mechanisms for hardware fault tolerance.

**29.09.2011 09:00-09:30**

**Automating Software Tool Qualification for Design and Test of Safety-Critical Systems**

*V. Izosimov (Semcon AB)*

This talk will discuss problem of development of safety-critical systems and the level of trust that can be as-



signed to the testing and design tools. Safety standards, in particular ISO 26262, require qualification of software development and testing tools for development of the "Item". However, this qualification is a very time-consuming process with unclear guidelines, not always affordable and not always correct. In case the tool is eventually qualified, any changes in the tool have to be analyzed with the impact analysis on the subject of violation of safety goals. In case of potential violations, the tool has to be re-qualified with a potentially great effort. Thus, designers and testers are often given a choice either continue with the old "buggy" version of the tool or perform time-consuming re-qualification. This may often lead to the "buggy" and ineffective tool versions used for too long. Another problem with the development tools is that new and promising tools cannot be used for safety-critical system designs unless they have been "proven-in-use". This leads to another "Catch 22" and prevents new tools from entering the safety market. Automating software tool qualification, based on the guidelines in the safety standards and generally accepted safety practices, is a possible practical solution to these problems of software tool qualification for safety-critical applications. Automating software tool qualification can increase flexibility of the development process of safety-critical applications without violation of safety goals.

**29.09.2011 13:30-14:15**

### **Erweiterte Testverfahren für Konsumerprodukte**

*C. Heer (Intel Mobile Communications)*

Mikroelektronische Schaltungen für Automobil- und Luftfahrtanwendungen unterliegen sehr hohen Qualitätsanforderungen. Daher werden hier spezifische Testverfahren eingesetzt, um insbesondere die Bausteine herauszufiltern, welche frühzeitig ausfallen könnten. Diese klassischen Ausfallmechanismen zu Beginn der Nutzungsdauer („Infant Mortality“) werden vor allem bei Speicherkomponenten durch spezifische Umgebungsbedingungen (Temperatur, Spannung) gezielt ausgelöst. Weniger robuste Zellen und Komponenten zeigen dann charakteristische Fehlerbilder mit deren Hilfe diese identifiziert und die Bausteine dann selektiert werden können. Inzwischen führen in Konsumerprodukten (Mobiltelefone etc.) sog-

nannte Soft-Fails (temporäre Ausfallmechanismen) zu signifikanten Ausfallraten. Diese Ausfälle können im Produktionstest heute nur unzureichend identifiziert werden. Aber auch hier sind meistens die weniger robusten Zellen oder Komponenten betroffen oder anfällig. Daher könnten Testverfahren aus der Automobiltechnik in Zukunft auch Anwendungen im Konsumerbereich finden. In dem Vortrag werden kurz die grundlegenden Mechanismen der frühzeitigen Ausfälle erklärt und mit den Mechanismen der Soft-Fails verglichen. Anschließend werden die Testverfahren beschrieben und deren potenzielle Anwendung auf Konsumerprodukte aus technischer aber auch aus wirtschaftlicher Sicht diskutiert.

**29.09.2011 14:15-15:00**

**Design Zuverlässiger Systeme:  
Was kann auf welcher Ebene getan werden?**

*R. Krämer (IHP GmbH, Frankfurt)*

Im Vortrag wird anhand von Beispielen eine Systempartitionierung vorgenommen und die unterschiedlichen Aspekte der Zuverlässigkeitserhöhung von Systemen im Einzelnen behandelt: Zunächst werden auf der Hardwareebene unterschiedliche Ansätze zur Erhöhung der Zuverlässigkeit diskutiert die auf der Basis der Vermeidung von Störungen durch asynchrone Designmethoden und auf der automatischen Einfügung zusätzlicher Hardware-Komponenten zum Erreichen spezifischer, partieller Fehlerkorrektur dienen. Danach werden auf der Systemebene Ansätze diskutiert, die in verteilten Systemen beispielsweise in drahtlosen Sensornetzen explizites Redundanzmanagement ermöglichen. Weiterhin wird diskutiert inwieweit durch gezielte Maßnahmen drahtlose Kommunikationssysteme nachhaltig zuverlässiger gemacht werden können und dadurch neue Anwendungsfälle beispielsweise in der Car-2-car Kommunikation eröffnet werden können. Zum Schluss wird ein neuer Ansatz zur Einführung unterschiedlicher Operationsmoden von innovativen Multiprozessoren skizziert die insbesondere bei Einsatzfällen in der Luft- und Raumfahrttechnik hohe Operationsflexibilität bei gleichzeitiger Verbesserung der Zuverlässigkeit erlauben. Alle Konzepte werden an konkreten Beispielen der Forschung im IHP erläutert das dabei als interessanter Forschungspartner eingeführt wird.

# Dienstag, 27. September 2011

## Embedded Tutorials

### 09:00-13:00 Tutorial A

- **Defects, Faults, and Errors – Approaches to Cross-Layer Fault-Tolerance** - Tutorial Workshop in the frame of the DFG Schwerpunktprogramm 1500: Dependability of Embedded Systems

*M. B. Tahoori (Karlsruher Institut für Technologie)  
H.-J. Wunderlich (Universität Stuttgart)*

As VLSI fabrication technologies progress further into the nanometer scale, known and new defect mechanisms of semiconductors not only appear during the manufacturing phase, but may occur during the operation of systems and impair their function in the field. These reliability failures processes manifest themselves as temporary or permanent faults during the lifetime of the system. Without proper estimation of their impact and according counter-measures at appropriate levels, dependability in the field and lifetime of the system may be significantly reduced. This tutorial presents an introduction to relevant VLSI defect mechanisms, their manifestation and modeling at the appropriate abstraction level. Efficient counter-measures typically exploit time, information, structural redundancy or a combination thereof, to tolerate, detect or correct impaired behavior. The discussed methods are applied at electrical, gate and RT level, up to software and system level.

### 09:00-13:00 Tutorial B

*Moderation: Ana-Paula Fonseca-Müller (Bosch, Reutlingen)*

- **Hot Topics in Automation for Yield and Relia**  **canceled**  **tomation for**  
*H. E. Gräß (Institute for Electronic Design Automation, Technical University Munich, Germany)*

We will first take a look at several issues of analog sizing. The focus will be on adequate mathematical problem formulations, starting from the general multi-objective sizing problem. Then, statistically distributed parameters and range-valued parameters will be included to obtain the scalar problems of yield optimization and design centering. This will be extended to Pareto optimization considering these parameter tolerances. Second, we will review some developments in important tasks of analog design automation: discrete analog sizing, sizing for reliability, sizing with in-loop-layout, analog layout synthesis, analog structural design. Third, we will discuss possible reasons why it took about 30 years until analog design-for-yield tools have become part of commercially available EDA tools, why hardly any analog EDA tool on the market beyond circuit simulation is really established in practice yet, and why there is this gap between the doubtlessly existing needs for analog EDA and the lacking industrial application.

## **13:00-14:00 Mittagspause**

## **14:00-18:00 Tutorial C**

*Moderation: Melanie Elm (Universität Stuttgart)*

- **Technology Trends in VLSI and Impact on Reliability and Test**  
*S. Borkar (Intel Corporation, USA)*

As technology continues to scale in the nanoscale regime, it's the same physics that helped you in the past, now poses major challenges in design, reliability, and test. Future designs will have to comprehend them, and incorporate reliability and test into the design from day one. Traditional system level reliability techniques will be ill suited and will have to morph towards resiliency. This course will address all of these challenges.

## **19:00-22:00 Get Together**

Foyer, Panorama Hotel

Wir danken den nachstehenden Unternehmen, Institutionen für die Unterstützung unserer Veranstaltung



Copyright des Titelbilds: IIF / IMTEK / Universität Freiburg

# Mittwoch, 28. September 2011

## 08:00-09:00 Registrierung

## 09:00-10:45 Eröffnung, eingeladene Vorträge

*Jörg Henkel (KIT);  
Ulf Schlichtmann (TU München)*

- **The Exascale Challenge**  
*S. Borkar (Intel Corporation, USA)*
- **Best Paper Award**  
*Präsentation: S. Sattler, H.-J. Wunderlich*
- **Dependable Computing and Assessment of Dependability**  
*J. Arlat (LAAS-CNRS, Frankreich)*

## 10:45-11:15 Kaffeepause

## 11:15-12:15 Robustheitsprüfung und Fehlersimulation

*Moderation: Ulrich Abelein (Audi AG Ingolstadt);  
Iliia Polian (Universität Passau)*

- **SystemC-Fehlersimulation auf der Systemebene mit nebenläufig-komparativen Verfahren**  
*W. Lu, M. Radetzki (Universität Stuttgart)*
- **Hochoptimierter Ablauf zur Robustheitsprüfung**  
*S. Frehse, F. Hädicke, M. Diepenbeck, G. Fey, R. Drechsler (Universität Bremen)*

## 12:15-13:30 Mittagspause

## 13:30-14:15 Eingeladener Vortrag

*Moderation: Görschwin Fey (Universität Bremen);  
Heinz Mattes (Infineon Technologies AG, Neubiberg)*

- **Quality of Test – Fault Models and Test Methods**  
*J. Rajski (Mentor Graphics Corporation, USA)*

## 14:15-15:15 Diagnose

*Moderation: Görschwin Fey (Universität Bremen); Heinz Mattes (Infineon Technologies AG, Neubiberg)*

- **Eingebetteter Test zur hochgenauen Defekt-Lokalisierung**  
*A. Mumtaz, M. E. Imhof, S. Holst, H.-J. Wunderlich (Universität Stuttgart)*
- **Robuster Selbsttest mit Diagnose**  
*A. Cook\*, S. Hellebrand+, T. Indlekofer+, H.-J. Wunderlich\* (Universität Stuttgart\*, Universität Paderborn+)*

## 15:15-16:00 Kaffeepause und Postersitzung: Zuverlässigkeitsbewertung

*Moderation: Sebastian Sattler (Universität Erlangen-Nürnberg)*

- **Fast and Accurate Soft Error Rate Estimation at RTL Level**  
*L. Chen, F. Firouzi, S. Kiamehr, M. B. Tahoori (Karlsruher Institut für Technologie)*
- **Eine Methodik zur Analyse erhöhter Beanspruchungen von Halbleiterkomponenten und deren AVT hinsichtlich geänderter Anforderungen im Automobil**  
*D. Hahn, S. Straube, A. Middendorf (Fraunhofer IZM, Berlin); H. Lochner, U. Abelein (AUDI AG, Ingolstadt)*
- **Recently Updated FIDES 2009 Reliability Prediction Standard Compared to FIDES 2004 and Others for Realistic Failure Rates of Electronic Parts Required for Quantitative Safety Analysis**  
*W. Hoppe (Rheinmetall Technical Publications, Bremen); M. Hoppe (Universität Bremen)*
- **Stacking-Based Input Reordering for NBTI Aging Reduction**  
*S. Kiamehr, F. Firouzi, M. B. Tahoori (Karlsruher Institut für Technologie)*

- **Variation of Propagation Delay and Power Dissipation in CMOS due to Input Pattern and Technology Scaling**  
*J. Al-Eryani, S. Sattler (Universität Erlangen-Nürnberg)*

## **16:00-16:45 Eingeladener Vortrag**

*Moderation: Christian Sebeke (Bosch Reutlingen);  
Friedrich Hapke (Mentor Graphics  
Hamburg)*

- **Fault Injection-Based Assessment of Software Techniques for Hardware Fault Tolerance**  
*J. Karlsson (Chalmers University of Technology,  
Göteborg, Schweden)*

## **16:45-17:45 Entwurfsautomatisierung**

*Moderation: Christian Sebeke (Bosch Reutlingen);  
Friedrich Hapke (Mentor Graphics  
Hamburg)*

- **XML-basierte hierarchische Beschreibungssprache für 3D-Systeme**  
*A. Heinig, U. Knöchel, S. Wolf (Fraunhofer-Institut  
für Integrierte Schaltungen (IIS/EAS), Dresden)*
- **ExtraTime: A Framework for Exploration of Clock and Power Gating for BTI and HCI Aging Mitigation**  
*F. Oboril, M. B. Tahoori (Karlsruher Institut für  
Technologie)*

## **19:00-23:00 Abendveranstaltung**

Es erwartet uns eine exklusive Hafen-, Elb- und Dinnerfahrt auf der MS HAMMONIA.



# Donnerstag, 29. September 2011

## 09:00-09:30 Eingeladener Vortrag

*Moderation: Georg Kodl (Continental, Nürnberg);  
Markus Olbrich (Universität Hannover)*

- **Automating Software Tool Qualification for Design and Test of Safety-Critical Systems**  
*V. Izosimov (Semcon AB)*

## 09:30-10:30 Kalibrierung und Fehler-toleranz

*Moderation: Georg Kodl (Continental, Nürnberg);  
Markus Olbrich (Universität Hannover)*

- **Mehrstufig kalibrierbare temperaturstabile Referenz**  
*D. Gruber, G. Hilber, T. Ostermann (Johannes Kepler Universität Linz, Österreich)*
- **Korrektur transienter Fehler in eingebetteten Speicherelementen**  
*M. E. Imhof, H.-J. Wunderlich (Universität Stuttgart)*

## 10:30-11:15 Kaffeepause und Postersitzung: Ausbeute, Verschleiß, Zuverlässigkeit

*Moderation: Sebastian Sattler (Universität Erlangen-Nürnberg)*

- **Eine neuartige Device-Array Teststruktur für statistische Untersuchungen von Degradations- und Relaxationseffekten**  
*C. Schlünder, J. M. Berthold, M. Hoffmann, W. Gustin, H. Reisinger (Infineon Technologies AG, Neubiberg)*
- **Kombinierte Codes mit nichtlinearen Prüfbits**  
*G. Nieß, E. Sogomonyan, M. Gössel (Universität Potsdam); T. Kern, T. Rabenalt (Infineon Technologies AG, Neubiberg)*

- **Rekonfigurierbare Logik für Ausbeute-Optimierung und Verschleiß-Kompensation**  
*T. Koal, H. T. Vierhaus (BTU Cottbus); M.-S. Beck (Infineon Technologies AG, Neubiberg)*
- **SYCYPHOS: Ein Framework zum Entwurf von Cyber Physical Systems**  
*J. Wenninger, K. Gravogl, F. Schupfer, J. Haase, C. Grimm (Technische Universität Wien, Österreich)*

## **11:15-12:15 Hotspot Detection and Reduction**

*Moderation: Jochen Rivoir (Verigy, Böblingen);  
Jürgen Scheible (FH Reutlingen)*

- **Reduction of Thermal Imbalances and Hot Spots in Networks-on-Chip Using Proactive Temperature Management**  
*T. Wegner, M. Gag, D. Timmermann, A. Uhrmacher (Universität Rostock)*
- **A Robust Approach to Reliability Hotspot Detection**  
*H. Melzner, G. Georgakos, M. Hommel, W. Gustin (Infineon Technologies AG, Neubiberg)*

## **12:15-13:30 Mittagspause**

## **13:30-15:00 Eingeladene Vorträge**

*Moderation: Hanno Melzner (Infineon Technologies AG, Neubiberg);  
Wolfgang Vermeiren (Fraunhofer-Institut für Integrierte Schaltungen (IIS/EAS), Dresden)*

- **Erweiterte Testverfahren für Konsumerprodukte**  
*C. Heer (Intel Mobile Communications)*
- **Design Zuverlässiger Systeme: Was kann auf welcher Ebene getan werden?**  
*R. Krämer (IHP GmbH, Frankfurt)*

## **15:00-15:30 Pause**

## **15:30-17:00 Netzwerke**

*Moderation: Dietmar Schröder (TU Hamburg-Harburg);  
Daniel Große (Universität Bremen)*

- **Analysis of Failure Detection Methods in Automotive Data Transmission Networks**  
*D. Trombetti\*, S. Frei+, M. M. Hell\*, D. Metzner\* (Infineon Technologies AG, Neubiberg\*; Technische Universität Dortmund+)*
- **Evaluation of Switch-to-Switch Header Flit Protection Schemes in Networks-on-Chip**  
*M. Gag, P. Gorski, T. Wegner, D. Timmermann (Universität Rostock)*
- **Fehlertolerantes differentielles Q-Routing für On-Chip-Verbindungsnetzwerke mit beliebiger Topologie**  
*M. Radetzki (Universität Stuttgart)*

## **17:00 Schlusswort**

## Allgemeine Hinweise

### Tagungsorganisation (Anmeldung)

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

Lehrstuhl für Zuverlässige Schaltungen und Systeme  
Friedrich-Alexander-Universität (FAU) Erlangen  
Paul-Gordan-Str. 5, 91052 Erlangen

Telefon: +49 (0)9131-85-23100

Fax: +49 (0)9131-85-23111

E-Mail: [sattler@lzs.eei.uni-erlangen.de](mailto:sattler@lzs.eei.uni-erlangen.de)

URL: <http://www.lzs.eei.uni-erlangen.de>

### Anmeldung

Die Anmeldung zur Fachtagung „Zuverlässigkeit und Entwurf“ erfolgt über die Web-Site ([www.zue2011.com](http://www.zue2011.com)). Die Reservierung erfolgt in der Reihenfolge der Anmeldungen und erst nach vollständiger Bezahlung des Tagungsbeitrags.

### Teilnahmegebühren

(einschl. Tagungsband, Kaffeepausen, Mittagessen und Abendveranstaltung)

	Anmeldung bis 16.08.2011	Anmeldung nach dem 16.08.2011
Nichtmitglied	€ 430,00	€ 490,00
Persönliches Mitglied*	€ 390,00	€ 450,00
Hochschulangehöriger*	€ 390,00	€ 450,00
Tageskarte mit Dinner**	€ 240,00	€ 290,00
Tageskarte ohne Dinner**	€ 180,00	€ 210,00
Tageskarte SPP Tutorial****	€ 100,00	€ 120,00
Student*, **, ***	€ 80,00	€ 130,00
Tagungsband/CD	€ 30,00	€ 40,00

\* Ermäßigung nur bei Übersendung einer Kopie des VDE / VDI / GI Mitgliedsausweises bzw. des Studentenausweises!

\*\* ohne Tagungsband/CD

\*\*\* ohne Dinner

\*\*\*\* mit Mittagsimbiss

Die Tagungsgebühr beinhaltet den Tagungsband inkl. CD-ROM, Pausengetränke, Mittagsimbiss und Abendveranstaltung.

## **Bezahlung der Teilnahmegebühr**

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (bei der elektronischen Anmeldung) die Kreditkarten-Informationen an.

Bei kurzfristigen Anmeldungen bitten wir, die Teilnahmegebühr in bar, per Eurocheck oder per Kreditkarte im Tagungsbüro im Hotel Panorama zu entrichten.

Bei Anmeldungen aus dem Ausland kann die Zahlung nur mit Kreditkarte erfolgen.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung!

Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

## **Stornierung**

Bei Stornierung bis zum 16.08.2011 (Datum des Poststempels) wird die Teilnahmegebühr abzüglich € 80,- für Bearbeitungskosten zurückerstattet; bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Der Tagungsband wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

## **Zimmerreservierungen**

Im Hotel Panorama Hamburg-Harburg steht ein Zimmerkontingent auf Abruf zur Verfügung. Bitte reservieren Sie Ihr Hotelzimmer unter dem Stichwort: „ZuE11“.

Telefon: 040 / 766 95-0

Telefax: 040 / 5766 95-183

E-Mail: [info@panoramaharburg.de](mailto:info@panoramaharburg.de)

<http://www.panorama-hotels-hamburg.de/new/harburg/>

## **Registrierung**

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen zu den Öffnungszeiten des Tagungsbüros im Hotel Panorama Hamburg-Harburg.

## **Tagungsbüro**

Das Tagungsbüro befindet sich bis 26.09.2011 am  
Lehrstuhl für Zuverlässige Schaltungen und Systeme,  
Friedrich-Alexander-Universität (FAU) Erlangen  
E-Mail: [sattler@lzs.eei.uni-erlangen.de](mailto:sattler@lzs.eei.uni-erlangen.de)

## **Tagungsort**

Panorama Hotel Hamburg-Harburg  
Harburger Ring 8-10  
21073 Hamburg-Harburg  
Telefon: 040 / 766 95-0  
Telefax: 040 / 5766 95-183  
E-Mail: [info@panoramaharburg.de](mailto:info@panoramaharburg.de)  
<http://www.panorama-hotels-hamburg.de/new/harburg/>

## **Telefonische Erreichbarkeit während der Tagung**

Ab 27.09.2011 befindet sich das Tagungsbüro im Panorama Hotel Hamburg Harburg. Sie erreichen uns unter:  
Telefon: 0173 / 88 209 52 (S. Sattler)

## **Anfahrt zum Panorama Hotel Hamburg-Harburg**

### mit dem Flugzeug:

Mit dem Taxi ab Flughafen Hamburg ca. 40 Minuten

Ab Hamburg Airport Linie S1 in Richtung Ohlsdorf bis Ohlsdorf dann Linie 1 in Richtung Wedel bis Hauptbahnhof ab Hauptbahnhof mit der Linie S31 Richtung Harburg bis Rathaus Harburg dann Fußweg zum Ziel ca. 8 Minuten.

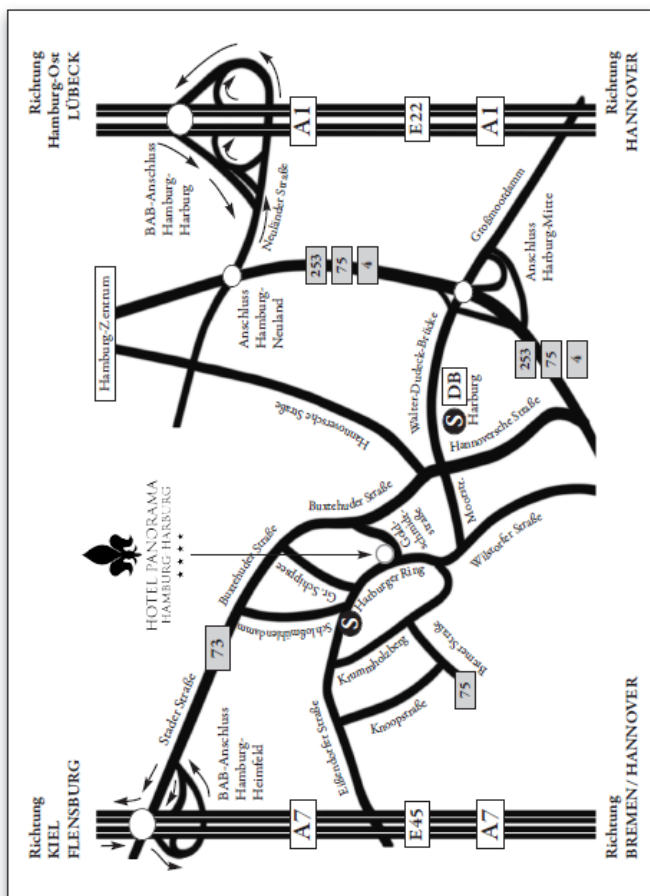
### mit öffentlichen Verkehrsmittel:

Ab Hauptbahnhof Hamburg mit der Linie S31 Richtung Harburg bis Rathaus Harburg dann Fußweg zum Ziel ca. 8 Minuten.

### mit dem Auto:

Autobahn A7 Flensburg -Hannover: Beim BAB-Anschluss Hamburg-Helmfeld die Autobahn verlassen Richtung Harburg über Stader - und Buxtehuder Str.

Autobahn A1 Lübeck-Bremen: Beim BAB-Anschluss Hamburg-Harburg über die Neuländer Str. Richtung Harburg



## Parkmöglichkeiten

Das Hotel bietet Parkplätze in der Tiefgarage an. (Preis pro Nacht: 16,00 €)

Wir wünschen Ihnen eine angenehme Anreise und freuen uns, Sie im Panorama Hotel Hamburg-Harburg zu begrüßen!

## Abendveranstaltung

Am Abend des 28.09.2011 ist eine Abendveranstaltung im Rahmen einer Hafenrundfahrt auf einem Schiff vorgesehen. Die An- und Ablegestelle ist vom Hotel aus bequem zu Fuß zu erreichen.

Wir danken den nachstehenden Unternehmen, Institutionen für die Unterstützung unserer Veranstaltung



Copyright des Titelbilds: IIF / IMTEK / Universität Freiburg





